

Docket No.: GR 00 P 1281

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

By: Markus Nollf Date: March 16, 2001

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor : Harald Bachhofer, et al.
Applic. No. : 09/783,187
Filed : February 14, 2001
Title : Memory Configuration And Method For Reading A State From
And Storing A State In A Ferroelectric Transistor

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231

Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 119, based upon the German Patent Application 100 06 444.2, filed February 14, 2000.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nollf MARKUS NOLFF
For Applicants REG. NO. 37,006

Date: March 16, 2001

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/sc



BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 100 06 444.2

Anmeldetag: 14. Februar 2000

Anmelder/Inhaber: Infineon Technologies AG, München/DE

Bezeichnung: Verfahren zum Auslesen und Speichern eines Zustandes aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle und Speichermatrix

IPC: G 11 C 11/22

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Februar 2001
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Wenner

Beschreibung

Verfahren zum Auslesen und Speichern eines Zustandes aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle und Speichermatrix

Die Erfindung betrifft ein Verfahren zum Auslesen und Speichern des Zustands aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle und eine Speichermatrix.

Ein solches Verfahren und eine solche Speichermatrix sind aus [1] bekannt. Die aus [1] bekannte Speichermatrix ist eine Matrix mit einer Vielzahl von Speicherzellen mit jeweils einem ferroelektrischen Transistor, die in Form einer quadratischen Matrix miteinander verbunden sind. Weiterhin weist die Speichermatrix eine Auslese-/Speicher-Steuervorrichtung auf, mit der ein Zustand eines ferroelektrischen Transistors einer Speicherzelle in der Speichermatrix gespeichert werden kann oder der aktuelle Zustand des entsprechenden ferroelektrischen Transistors der Speicherzelle ausgelesen werden kann.

Gemäß der in [1] beschriebenen Vorgehensweise wird, wenn ein Zustand, in einem ferroelektrischen Transistor einer Speicherzelle der Speichermatrix gespeichert, gelöscht oder gelesen wird, eine entsprechende Auslese-/Speicherspannung an die entsprechenden Wortleitungen bzw. Bitleitungen angelegt.

Durch das Anlegen der erforderlichen Auslese-/Speicherspannung werden auch in der Speichermatrix benachbart liegende weitere ferroelektrische Transistoren, die mit dem ferroelektrischen Transistor, dessen Zustand gespeichert oder ausgelesen werden soll, verbunden sind, beeinflusst. Auf diese Weise kann es passieren, dass durch das Auslesen oder Speichern eines Zustands eines ferroelektrischen Transistors der Speichermatrix ein Zustand eines weiteren ferroelektrischen Transistors der Speichermatrix fehlerhaft, das heißt ungewollt verändert wird.

Wie in [1] beschrieben ist, liegt eine Auslese-/Schreibspannung von V_{pp}/V_{rr} an dem ferroelektrischen Transistor, aus dem bzw. in den ein Zustand ausgelesen bzw. gespeichert werden soll, an. In diesem Fall liegt an den mit diesem ferroelektrischen Transistor verbundenen benachbarten weiteren ferroelektrischen Transistoren eine Störspannung von ungefähr $\pm V_{pp}/2$ oder $\pm V_{pp}/3$ an, durch die der Zustand des entsprechenden weiteren ferroelektrischen Transistors fehlerhaft verändert werden kann.

Diese Problematik wird anhand von Fig.2 im weiteren erläutert.

In Fig.2 ist ein Diagramm 200 mit einem Verlauf der ferroelektrische Polarisation 201 im Gate eines ferroelektrischen Transistors in Abhängigkeit von einer angelegten Gate-Spannung V_{GS} 202 dargestellt. In dem Diagramm 200 ist die Gate-Spannung 202 in Volt ([V]) und die ferroelektrische Polarisation 201 in Coulomb/m² ([C/m²]) angegeben.

Der Verlauf der ferroelektrischen Polarisation 201 abhängig von der Gate-Spannung 202 wird durch eine Hystereseschleife 203 beschrieben. Wie Fig.2 zu entnehmen ist, weist ein üblicher ferroelektrische Transistor zwei stabile Polarisationszustände, einen ersten stabilen Polarisationszustand 204 und einen zweiten stabilen Polarisationszustand 205 auf. Durch Ändern der angelegten Gate-Spannung V_{GS} , insbesondere durch eine oben beschriebene "Störspannung" von $V_{pp}/2$ oder $V_{pp}/3$ kann der Zustand des ferroelektrischen Transistors entlang der Hystereseschleife 203 übergehen in elektrisch nicht-unterscheidbare Polarisationszustände, nämlich in einen ersten nicht-unterscheidbaren Polarisationszustand 206 und in einen zweiten nicht-unterscheidbaren Polarisationszustand 207.

Während es in einfacher Weise möglich ist, den ersten unterscheidbaren Polarisationszustand 204 elektrisch von dem zweiten unterscheidbaren Polarisationszustand 205 zu unterscheiden, womit zwei unterschiedliche Zustände durch den ferroelektrischen Transistor innerhalb der Speichermatrix realisiert und erkannt werden können, ist ein solche elektrische Unterscheidbarkeit bei den nicht-unterscheidbaren Polarisationszuständen 206, 207 nicht gewährleistet.

10 Somit kann durch eine solche Störspannung der in benachbarten weiteren ferroelektrischen Transistoren in der Speichermatrix gespeicherte Zustand verändert werden oder zumindest undefiniert werden, das heißt es wird ein Polarisationszustand in dem entsprechenden benachbarten ferroelektrischen Transistor
15 gebildet, der nicht verlässlich ausgelesen, das heißt elektrisch unterschieden werden kann.

Ein weiterer ferroelektrischer Transistor und ein Verfahren zu dessen Herstellung sind in [2] beschrieben.

20

Somit liegt der Erfindung das Problem zugrunde, einen Zustand aus einem ferroelektrischen Transistor auszulesen oder einen Zustand in einen ferroelektrischen Transistor einer Speicherzelle zu speichern, welche Speicherzelle in einer Speichermatrix mit mehreren weiteren Speicherzellen mit weiteren ferroelektrischen Transistoren angeordnet ist, wobei vermieden werden soll, dass die weiteren ferroelektrischen Transistoren in weiteren Speicherzellen der Speichermatrix durch das Auslesen oder Speichern eines ferroelektrischen Transistors in
25 einen nicht-unterscheidbaren Polarisationszustand überführt werden.

30

Das Problem wird durch das Verfahren zum Auslesen oder Speichern eines Zustands aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle sowie durch eine Speichermatrix mit den Merkmalen gemäß den unabhängigen Patentansprüchen gelöst.

35

Bei einem Verfahren zum Auslesen oder Speichern eines Zustands aus einem ferroelektrischen Transistor einer Speicherzelle oder zum Speichern eines Zustands in einen ferroelektrischen Transistor der Speicherzelle, die in einer Speicher-
matrix mit mehreren weiteren Speicherzellen mit weiteren ferroelektrischen Transistoren angeordnet ist, wird der Zustand aus dem ferroelektrischen Zustand ausgelesen oder in den ferroelektrischen Transistor gespeichert. Während des Auslesens oder Speicherns des Zustands des ferroelektrischen Transistors wird bei mindestens einem weiteren ferroelektrischen Transistor in der Speicher-
matrix die Schwellenspannung des entsprechenden weiteren ferroelektrischen Transistors insbesondere durch Anlegen einer Drain-Substrat-Spannung V_{DS} erhöht.

Eine Speicher-
matrix weist mehrere miteinander verbundene Speicherzellen auf, wobei zumindest ein Teil der Speicherzellen mindestens einen ferroelektrischen Transistor aufweist. Weiterhin weist die Speicher-
matrix eine Auslese-/Speicher-Steuervorrichtung auf, mit der ein Auslesen eines Zustands aus einem ferroelektrischen Transistor einer Speicherzelle der Speicher-
matrix oder ein Speichern eines Zustands in einen ferroelektrischen Transistor einer Speicherzelle der Speicher-
matrix gesteuert wird. Die Auslese-/Speicher-Steuervorrichtung ist derart eingerichtet, dass der Zustand aus dem ferroelektrischen Transistor ausgelesen wird oder in den ferroelektrischen Transistor gespeichert wird und währenddessen bei mindestens einem weiteren ferroelektrischen Transistor in der Speicher-
matrix die Schwellenspannung des weiteren Ferroelektrischen Transistors insbesondere durch Anlegen einer Drain-Substrat-Spannung V_{DS} erhöht wird.

Durch das Erhöhen der Schwellenspannung eines weiteren ferroelektrischen Transistors wird der weitere ferroelektrische Transistor in der Weise geschützt, dass er nicht mehr in einen ununterscheidbaren Polarisationszustand übergeht.

Wie erfindungsgemäß erkannt wurde, wird durch Erhöhen der Schwellenspannung insbesondere durch Anlegen einer Drain-Substrat-Spannung V_{DS} eines ferroelektrischen Transistors jeweils ein Plateau der in der Hystereseschleife, die den ferroelektrischen Polarisationsverlauf beschreibt, gebildet. Dieses Plateau reicht aus, wie im weiteren beschrieben wird, um einen Übergang in einen nicht-unterscheidbaren Polarisationszustand durch Änderung der Gate-Spannung, die durch Auslesen oder Speichern eines Zustands aus oder in einem benachbarten ferroelektrischen Transistor erzeugt wird, zu vermeiden.

Dies betrifft insbesondere den Bereich des Polarisationsverlaufs, in dem sich der ferroelektrische Transistor aufgrund der anliegenden Gate-Spannung in einem Verarmungszustand der Ladungsträger in dem Kanalbereich des ferroelektrischen Transistors befindet.

Somit wird durch die Erfindung erreicht, dass ein sicheres Auslesen oder Speichern eines Zustands aus oder in einen ferroelektrischen Transistor einer Speichermatrix möglich ist, ohne Zustände weiterer, in der Speichermatrix benachbarter ferroelektrischer Transistoren in einen undefinierten Zustand, das heißt in einen elektrisch nicht-unterscheidbaren Zustand zu überführen, das heißt ohne einen Fehler in den weiteren ferroelektrischen Transistoren zu verursachen.

Bevorzugte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

Die im weiteren beschriebenen Ausgestaltungen betreffen sowohl das Verfahren als auch die Ausgestaltung der Auslese-/Speicher-Steuervorrichtung, wobei gemäß der entsprechenden Weiterbildung jeweils die Auslese-/Speicher-Steuervorrichtung derart eingerichtet ist, dass die entsprechende Weiterbildung realisiert ist.

Die entsprechende Ausgestaltung der Auslese-/Speicher-Steuervorrichtung kann mittels eines Computerprogramms, das in einem Speicher der Auslese-/Speicher-Steuervorrichtung
5 vorgesehen ist und mittels eines Prozessors ausgeführt wird, in Software realisiert sein oder mittels einer elektronischen Spezialschaltung in Hardware.

10 In einer bevorzugten Ausgestaltung der Erfindung ist es vorgesehen, dass der Zustand aus dem ferroelektrischen Transistor ausgelesen oder in den ferroelektrischen Transistor gespeichert wird, indem eine Auslese-/Speicherspannung an die Gate-Elektrode des ferroelektrischen Transistors angelegt wird zum Auslesen oder Speichern des Zustands.

15 Weiterhin kann das Erhöhen der Schwellenspannung eines weiteren ferroelektrischen Transistors dadurch erfolgen, dass an dem weiteren ferroelektrischen Transistor in der Speicherma-
trix eine Drain-Substrat-Spannung angelegt wird. Die Drain-
20 Substrat-Spannung V_{DS} kann eine konstante Spannung von ungefähr $V_{DS} = \pm 3,3 \text{ V}$, je nach Art des ferroelektrischen Transistors, aufweisen (+ 3,3 V bei einem n-Kanal ferroelektrischen Transistor, -3,3 V bei einem p-Kanal ferroelektrischen Transistor).

25 In einer Speicherzelle der Speichermatrix können mehrere Transistoren, insbesondere mehrere ferroelektrische Transistoren, eingesetzt werden.

30 Auch wenn im weiteren Ausführungsbeispiel ein ferroelektrischer Transistor eingesetzt wird, der gemäß einem bestimmten Verfahren hergestellt worden ist, so kann jedoch in einer alternativen Ausführungsform ein beliebiger weiterer ferroelektrischer Transistor im Rahmen der Erfindung eingesetzt werden.
35

So können insbesondere unterschiedliche Materialien für die dielektrische Zwischenschicht, insbesondere einer Dicke zwischen ungefähr 3 nm und 25 nm) des ferroelektrischen Transistors verwendet werden, die beispielsweise Ceoxid CeO_2 , Zirkonoxid ZrO_2 , Titanoxid TiO_2 , Tantaloxid TaO_2 oder Dialuminiumtrioxid Al_2O_3 aufweisen.

Als ferroelektrische Schicht kann beispielsweise BMF (BaMgF_4), PZT ($(\text{PbZr})\text{TiO}_3$) oder SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) verwendet werden. Die ferroelektrische Schicht weist eine Dicke zwischen ungefähr 30 nm und 300 nm auf.

Weiterhin kann die Erfindung auch im Rahmen eines p-Kanal ferroelektrischen Transistors eingesetzt werden, auch wenn im weiteren Ausführungsbeispiel die Erfindung anschaulich anhand eines n-Kanal ferroelektrischen Transistors beschrieben wird. In diesem Fall ist lediglich eine Umpolung der entsprechend anzulegenden Spannungen vorzunehmen.

Auch können mehrere elektrische Zwischenschichten innerhalb eines ferroelektrischen Transistors vorgesehen sein, die ein oder mehrere der oben beschriebenen Materialien aufweisen.

Allgemein kann für die elektrische Zwischenschicht des ferroelektrischen Transistors ein beliebiges Perowskit verwendet werden.

Es ist in diesem Zusammenhang anzumerken, dass die Erfindung nicht auf die Struktur des in dem Ausführungsbeispiel beschriebenen ferroelektrischen Transistor beschränkt ist, sondern dass auch beispielsweise die in [1] oder [2] beschriebene Struktur eines ferroelektrischen Transistors im Rahmen der Erfindung ohne weiteres verwendet werden kann.

Ein Ausführungsbeispiel der Erfindung ist in den Figuren dargestellt und wird im weiteren näher erläutert:

Es zeigen:

Figuren 1a und 1b eine Speichermatrix mit vier Speicherzellen mit jeweils einem ferroelektrischen Transistor (Figur 1a) und eine Tabelle, in der die entsprechenden an den Leitungen der Speichermatrix anliegenden Spannungen beim Auslesen oder Speichern eines Zustandes in eine Speicherzelle gemäß einem Ausführungsbeispiel der Erfindung dargestellt ist (Figur 1b);

Figur 2 ein Diagramm, in dem der Verlauf der ferroelektrischen Polarisation im Gate eines üblichen ferroelektrischen Transistors in Abhängigkeit der anliegenden Gate-Spannung beim Auslesen oder Speichern eines Zustands aus oder in den ferroelektrischen Transistor gemäß dem Stand der Technik dargestellt ist;

Figur 3 eine Skizze eines ferroelektrischen Transistors gemäß einem Ausführungsbeispiel der Erfindung;

Figur 4 ein Ablaufdiagramm, in dem die einzelnen Schritte zum Auslesen bzw. Speichern eines Zustands aus bzw. in einen ferroelektrischen Transistor gemäß einem Ausführungsbeispiel der Erfindung dargestellt ist;

Figur 5 ein Diagramm, in dem der Verlauf der ferroelektrischen Polarisation im Gate eines üblichen ferroelektrischen Transistors in Abhängigkeit der anliegenden Gate-Spannung beim Auslesen oder Speichern eines Zustands aus oder in den ferroelektrischen Transistor gemäß einem Ausführungsbeispiel der Erfindung dargestellt ist; und

Figur 6 eine Ausgangskennlinie des ferroelektrischen Transistors gemäß dem Ausführungsbeispiel der Erfindung;

Fig.1a zeigt eine Speichermatrix 100 mit vier Speicherzellen 101, 102, 103, 104.

5 Jede Speicherzelle 101, 102, 103, 104 weist einen ferroelektrischen Transistor 105, 106, 107, 108 auf.

Weiterhin weist die Speichermatrix 100 eine erste Wortleitung 109 und eine zweite Wortleitung 110 auf.

10 Weiterhin weist die Speichermatrix 100 eine erste Bitleitung 111, eine zweite Bitleitung 112, eine dritte Bitleitung 113 und eine vierte Bitleitung 114 auf.

Das Gate 115 des ersten ferroelektrischen Transistors 105 sowie das Gate 116 des zweiten ferroelektrischen Transistors 106 sind mit der ersten Wortleitung 109 gekoppelt.

Das Gate 117 des dritten ferroelektrischen Transistors 107 und das Gate 118 des vierten ferroelektrischen Transistors 108 sind mit der zweiten Wortleitung 110 gekoppelt.

- 20 Die Source 119 des ersten ferroelektrischen Transistors 105 und die Source 120 des dritten ferroelektrischen Transistors 107 sind mit der ersten Bitleitung 111 gekoppelt.

25 Die Drain 121 des ersten ferroelektrischen Transistors 105 und die Drain 122 des dritten ferroelektrischen Transistors 107 sind mit der zweiten Bitleitung 112 verbunden.

30 Die Source 123 des zweiten ferroelektrischen Transistors 106 und die Source 124 des vierten ferroelektrischen Transistors 108 sind mit der dritten Bitleitung 113 verbunden.

35 Die Drain 125 des zweiten ferroelektrischen Transistors 106 und die Drain 126 des vierten ferroelektrischen Transistors 108 sind mit der vierten Bitleitung 114 verbunden.

Die Wortleitungen 109, 110 sowie die Bitleitungen 111, 112, 113, 114 sind mit einer Auslese-/Speicher-Steuervorrichtung 127 verbunden.

- 5 Das Speichern eines Zustandes eines ferroelektrischen Transistors in der Speichermatrix 100 sowie das Auslesen eines Zustandes eines ferroelektrischen Transistors in der Speichermatrix 100 wird von der Auslese-/Speicher-Steuervorrichtung 127 durch Anlegen verschiedener Spannungen an die entsprechenden Wortleitungen 109, 110 und/oder an die entsprechenden Bitleitungen 111, 112, 113, 114 gesteuert, wie im weiteren näher erläutert wird.

- 15 Fig.3 zeigt einen ferroelektrischen Transistor 300, wie er als erster ferroelektrischer Transistor 105, als zweiter ferroelektrischer Transistor 106, als dritter ferroelektrischer Transistor 107 und als vierter ferroelektrischer Transistor 108 in der Speichermatrix 100 vorgesehen ist.

- 20 Der ferroelektrische Transistor 300 weist ein p-dotiertes Substrat 301 aus Silizium auf, sowie einen Source-Bereich 302 und einen Drain-Bereich 303, denen angrenzend zwei Siliziumoxid-Bereiche 304, 305 angeordnet sind. Diesse Bereiche werden mit einem üblichen CVD-Verfahren abgeschieden. Anschließend wird eine dielektrische Zwischenschicht 306 über dem Kanalbereich 307 zwischen dem Source-Bereich 302 und dem Drain-Bereich 303 des ferroelektrischen Transistors 300 aus Siliziumoxid abgeschieden. Die dielektrische Zwischenschicht 306 kann alternativ auch ein anderes Dielektrikum aufweisen, beispielsweise Al_2O_3 , CeO_2 oder ZrO_2 , das beispielsweise mit Hilfe eines CVD-Verfahrens aufgebracht wird.

- 35 Dann wird darauf beispielsweise mit Hilfe eines CVD-Verfahrens eine ferroelektrische Schicht 308 aufgebracht, die SBT ($\text{SrBi}_2\text{Ta}_2\text{O}_9$) oder PZT ($(\text{Pb},\text{Zr})\text{TiO}_3$) enthalten kann.

Die Temperung dieser beiden Schichten 306, 308 zur Einstellung der gewünschten Schichteigenschaften kann der Reihe nach, also nach der Abscheidung jeder einzelnen Schicht erfolgen, sie kann aber auch - falls dies gewünscht ist - in
5 einem Schritt nach der Abscheidung beider Schichten 306, 308 erfolgen.

Die dielektrische Zwischenschicht 306 und die ferroelektrische Schicht 308 werden anschließend durch einen Ätzprozeß
10 strukturiert.

Wird eine metallische Gate-Elektrode 309 verwendet, so wird diese durch ein Sputter-Verfahren erzeugt und anschließend durch einen Ätzprozeß strukturiert.

15 Die metallische Elektrode kann als Hartmaske zur Strukturierung der darunter liegenden Schichten verwendet werden.

Die Implantation des Source-Bereichs 302 und des Drain-Bereichs 303 kann selbstjustiert zum Gate-Stack erfolgen.

Die restlichen Prozeßschritte vor und nach der Herstellung des ferroelektrischen Gate-Stacks können analog zu Standard-CMOS-Fertigungsverfahren erfolgen.

25 Ferner weist der ferroelektrische Transistor 300 Kontakte 310, 311, 312 auf, die entsprechend mit der Source 302, der Drain 303 und der Gate-Elektrode 309 leitend verbunden sind.

30 Weiterhin weist der ferroelektrische Transistor 300 eine Silizium-Planarisierungsschicht 313 auf.

Im weiteren wird anhand von Fig.4 und Fig.1b das Auslesen und Speichern eines Zustands in den ersten ferroelektrischen
35 Transistor 105 näher erläutert.

In einem ersten Schritt (Schritt 401) wird zum Speichern eines ersten Zustands eine Speicherspannung V_{pp} , die gemäß dem Ausführungsbeispiel $V_{pp} = 5V$ beträgt, an die erste Wortleitung 109 angelegt.

5

Über dem Gate der jeweiligen weiteren ferroelektrischen Transistoren wird eine Spannung $V_{pp}/2$ oder $V_{pp}/3$ an die nicht selektierte zweite Wortleitung 110 sowie an der nicht selektierten dritten Bitleitung 113 und der nicht selektierten vierten Bitleitung 114 angelegt.

10

An die erste Bitleitung 111 und die zweite Bitleitung 112 wird eine Spannung von 0V angelegt.

15

Gleichzeitig mit dem Anlegen der Speicherspannung V_{pp} wird eine Drain-Substrat-Spannung V_{DS} von $V_{DS} = + 3,3 V$ an die weiteren ferroelektrischen Transistoren 106, 107, 108 angelegt, um diese vor einer fehlerhaften Zustandsänderung zu schützen (Schritt 402). In einer alternativen Ausführungsform kann die Drain-Substrat-Spannung $V_{DS} = + 3,3 V$ dauerhaft an alle ferroelektrischen Transistoren der Speichermatrix 100 angelegt werden. Das Anlegen der Drain-Substrat-Spannung $V_{DS} = + 3,3 V$ ist in Fig.1a mittels Spannungsquellen 128, 129, 130, 131 in dem Substrat des jeweiligen ferroelektrischen Transistors 105, 106, 107, 108, dargestellt.

20

25

In einem weiteren Schritt (Schritt 403) wird der Zustand des ersten ferroelektrischen Transistors 105 ausgelesen, indem an die erste Wortleitung 109 eine Auslesespannung V_{rr} von $V_{rr} = 2,6 V$ angelegt wird und an die zweite Bitleitung 112 eine Spannung V_{ss} von $V_{ss} = 0,1 V$ angelegt wird.

30

Wird die Auslesespannung größer gewählt, so kann zum Schutz der weiteren ferroelektrischen Transistoren 106, 107, 108 wiederum in einem weiteren Schritt (Schritt 404) gleichzeitig mit dem Auslesevorgang die Drain-Substrat-Spannung V_{DS} der

35

weiteren ferroelektrischen Transistoren 106, 107, 108 auf den Wert von $V_{DS} = + 3,3 \text{ V}$ angelegt werden. Wie oben dargelegt, kann in einer alternativen Ausführungsform die Drain-Substrat-Spannung $V_{DS} = + 3,3 \text{ V}$ dauerhaft an alle ferroelektrischen Transistoren der Speichermatrix 100 angelegt werden.

Das Löschen des ersten Zustandes in dem ersten ferroelektrischen Transistor 105, das auch als Speichern eines zweiten Zustandes in dem ersten ferroelektrischen Transistor 105 angesehen werden kann, erfolgt durch Anlegen der Speicherspannung V_{pp} an die erste Bitleitung 111 und die zweite Bitleitung 112.

In diesem Fall wird an die erste Wortleitung 109 eine Spannung von 0 V angelegt. Wiederum wird zum Schutz der weiteren ferroelektrischen Transistoren 106, 107, 108 eine vorzugsweise konstante Drain-Substrat-Spannung V_{bs} von $V_{DS} = + 3,3 \text{ V}$ angelegt.

Die verschiedenen anliegenden Spannungen zum Speichern des ersten Zustands in den ersten ferroelektrischen Transistor 105, zum Speichern des zweiten Zustands in den ersten ferroelektrischen Transistor 105 und zum Auslesen des Zustandes aus dem ersten ferroelektrischen Transistor 105 sind tabellarisch in Fig.1b dargestellt.

Anhand der Fig.5 und Fig.6 wird die erreichte Erhöhung der Schwellenspannung des ferroelektrischen Transistors durch Anlegen der entsprechenden Drain-Substrat-Spannung erläutert.

Fig.5 zeigt den Verlauf der ferroelektrischen Polarisations im Gate eines ferroelektrischen Transistors in Abhängigkeit der Gate-Spannung bei erhöhter Schwellenspannung des ferroelektrischen Transistors, gemäß diesem Ausführungsbeispiel erreicht durch temporäres Anlegen oder dauerhaftes Anlegen einer Drain-Substrat-Spannung in dem jeweiligen wei-

teren ferroelektrischen Transistor 106, 107, 108 oder an alle ferroelektrischen Transistoren der Speichermatrix 100.

In einer sich ergebenden Hystereseschleife 503 ergeben sich
5 zwei Plateaubereiche 504, 505. Wird nun aufgrund einer Störspannung die Gate-Spannung V_{GS} an einem weiteren ferroelektrischen Transistor 106, 107, 108, welcher sich in einem ersten Zustand, angedeutet durch einen ersten unterscheidbaren Polarisationszustand 506 in der Hystereseschleife 503, befindet,
10 so wird durch Anlegen der Störspannung die Hystereseschleife 503 üblicherweise bei ausreichend großer Drain-Substrat-Spannung lediglich ein Polarisationszustand in dem ersten Plateaubereich 504 eingenommen, symbolisiert durch einen zweiten unterscheidbaren Polarisationszustand 507.

15 Befindet sich der jeweilige ferroelektrische Transistor in einem zweiten Zustand, wie in der Hystereseschleife 503 durch einen dritten unterscheidbaren Polarisationszustand 508 angedeutet ist, und es wird eine Störspannung angelegt, so wird
20 wiederum für den Fall, dass eine ausreichend große Drain-Substrat-Spannung anliegt und somit der zweite Plateaubereich 505 ausreichend groß ist, lediglich ein Zustand angenommen, der sich in dem zweiten Plateaubereich 505 befindet, symbolisiert durch einen vierten unterscheidbaren Polarisationszustand 509.
25

Wie Fig.6 zu entnehmen ist, können der zweite unterscheidbare Polarisationszustand 507 und der vierte unterscheidbare Polarisationszustand 509 voneinander unterschieden werden aufgrund der unterschiedlichen Ausgangskennlinien 601, 602 des
30 Drain-Source-Stroms I_{DS} abhängig von der Gate-Spannung V_{GS} , da sich für den zweiten unterscheidbaren Polarisationszustand 507 die erste Ausgangskennlinie 601 und für den vierten unterscheidbaren Polarisationszustand 509 die zweite Ausgangskennlinie 602 ergibt.
35

Somit sind selbst der durch eine Störspannung eingenommene zweite unterscheidbare Polarisationszustand 507 von einem eventuell durch einen eine Störspannung eingenommenen vierten unterscheidbaren Polarisationszustand 509 noch elektrisch un-
5 terscheidbar.

Anschaulich ist die Erfindung darin zu sehen, dass durch Anlegen einer Drain-Substrat-Spannung die Hystereseschleife des entsprechenden ferroelektrischen Transistors derart verändert
10 wird, dass sich Plateaubereiche in der Hystereseschleife ausbilden, wodurch das Entstehen nicht definierter Polarisationszustände, die elektrisch nicht voneinander unterscheidbar sind, verhindert wird.

15 Im weiteren werden einige Alternativen zu dem oben dargestellten Ausführungsbeispiel näher erläutert.

Die Erfindung ist nicht auf in die oben beschriebene konkrete Form einer Speichermatrix, insbesondere nicht auf eine vier
20 Speicherzellen aufweisende Speichermatrix beschränkt. Die Erfindung kann im Rahmen einer beliebig ausgestalteten Speichermatrix mit einer beliebigen Anzahl von Speicherzellen, das heißt von ferroelektrischen Transistoren als Speicherzellen, verwendet werden.

25 Weiterhin kann eine Speicherzelle auch mehrere Transistoren, insbesondere mehrere ferroelektrische Transistoren aufweisen.

In diesem Dokument sind folgende Veröffentlichungen zitiert:

- 5 [1] T. Nakamura et al, A Single-Transistor Ferroelectric Memory Cell, IEEE International Solid-State Circuits Conference, ISSCC95, Session 4, Technology Directions: Displays, Photonics and Ferroelectric Memories, S. 68 - 69, 1995
- 10 [2] Jong-Son Lyu et al, Metal-Ferroelectric-Semiconductor Field-Effect Transistor (MFSFET) for Single Transistor Memory by Using Poly-Si Source/Drain and BaMgF₄ Dielectric, IEDM 1996, S. 503 - 506, 1996

Patentansprüche

1. Verfahren zum Auslesen oder Speichern eines Zustands aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle, die in einer Speichermatrix mit mehreren weiteren Speicherzellen mit weiteren ferroelektrischen Transistoren angeordnet ist,

- bei dem der Zustand aus dem ferroelektrischen Transistor ausgelesen wird oder in den ferroelektrischen Transistor gespeichert wird, und
- bei dem bei mindestens einem weiteren ferroelektrischen Transistor in der Speichermatrix die Schwellenspannung des weiteren ferroelektrischen Transistors erhöht wird.

2. Verfahren nach Anspruch 1, bei dem der Zustand aus dem ferroelektrischen Transistor ausgelesen oder in den ferroelektrischen Transistor gespeichert wird, indem eine Auslese-/Speicherspannung an die Gateelektrode des ferroelektrischen Transistors angelegt wird zum Auslesen oder Speichern des Zustands.

3. Verfahren nach Anspruch 1 oder 2,

bei dem das Erhöhen der Schwellenspannung des weiteren ferroelektrischen Transistors erfolgt, indem an den weiteren ferroelektrischen Transistor in der Speichermatrix eine Drain-Substrat-Spannung angelegt wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, bei dem in mindestens einer Speicherzelle der Speichermatrix mehrere Transistoren verwendet werden.

5. Verfahren nach Anspruch 3 oder 4, bei dem als Drain-Substrat-Spannung eine Spannung von ungefähr $\pm 3,3$ Volt angelegt wird.

6. Speichermatrix mit

- mehreren miteinander verbundenen Speicherzellen, wobei zumindest ein Teil der Speicherzellen mindestens einen ferroelektrischen Transistor aufweist,
- einer Auslese-/Speicher-Steuervorrichtung, mit der ein
5 Auslesen oder ein Speichern eines Zustands aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle der Speichermatrix gesteuert wird,
- wobei die Auslese-/Speicher-Steuervorrichtung derart eingerichtet ist, dass der Zustand aus dem ferroelektrischen
10 Transistor ausgelesen wird oder in dem ferroelektrischen Transistor gespeichert wird, und
- dass bei mindestens einem weiteren ferroelektrischen Transistor in der Speichermatrix die Schwellenspannung des weiteren ferroelektrischen Transistors erhöht wird.

15

7. Speichermatrix nach Anspruch 6,
bei der die Auslese-/Speicher-Steuervorrichtung derart eingerichtet ist, dass eine Auslese-/Speicherspannung an die Gateelektrode des ferroelektrischen Transistors angelegt wird
20 zum Auslesen oder Speichern des Zustands.

8. Speichermatrix nach Anspruch 6 oder 7,

bei der die Auslese-/Speicher-Steuervorrichtung derart eingerichtet ist, dass zum Erhöhen der Schwellenspannung des weiteren ferroelektrischen Transistors an den weiteren ferroelektrischen Transistor in der Speichermatrix eine Drain-Substrat-Spannung angelegt wird.

25

9. Speichermatrix nach einem der Ansprüche 6 bis 8,

30

bei der mindestens eine Speicherzelle der Speichermatrix mehrere Transistoren aufweist.

10. Speichermatrix nach Anspruch 8 oder 9,

35

bei der die Auslese-/Speicher-Steuervorrichtung derart eingerichtet ist, dass als Drain-Substrat-Spannung eine Spannung von ungefähr $\pm 3,3$ Volt angelegt wird.

Zusammenfassung

Verfahren zum Auslesen oder Speichern eines Zustands aus einem oder in einen ferroelektrischen Transistor einer Speicherzelle und Speichermatrix

Der Zustand eines ferroelektrischen Transistors einer Speicherzelle wird ausgelesen oder gespeichert und während des Auslesens oder Speicherns oder permanent wird die Schwellenspannung weiterer ferroelektrischen Transistoren weiterer Speicherzellen der Speichermatrix erhöht.

Sign. Fig.1a und Fig.1b

115

FIG 1A

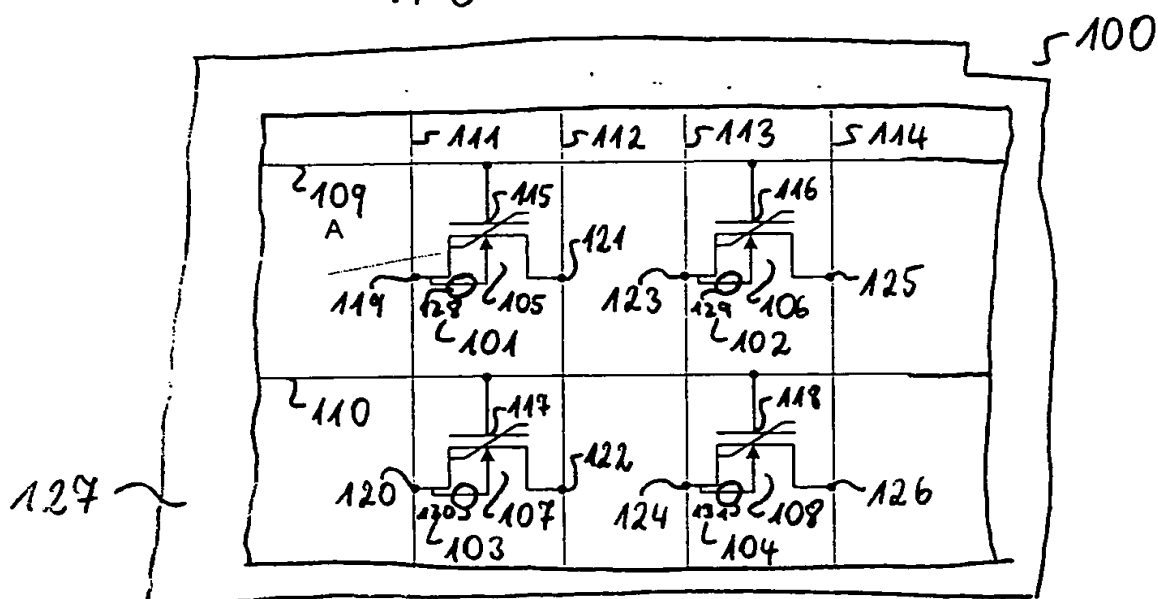
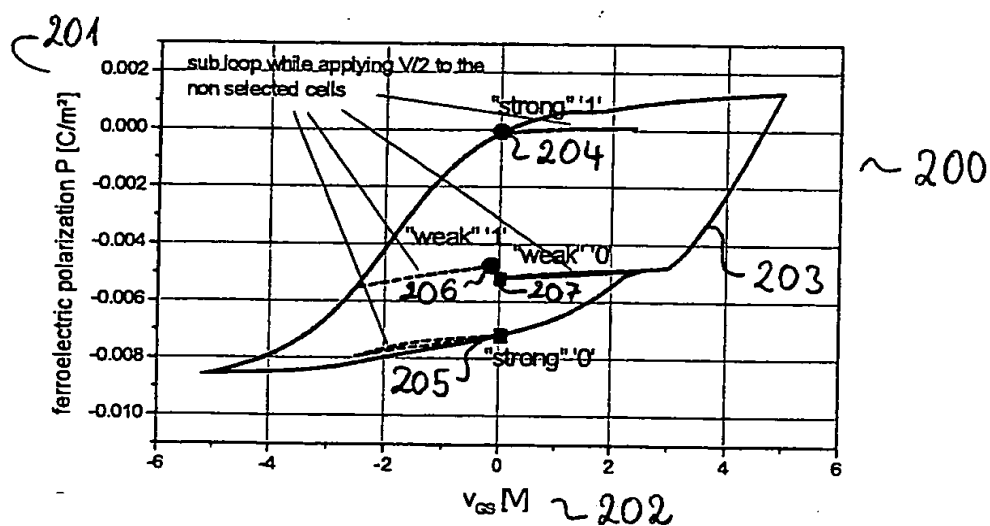


FIG 1B

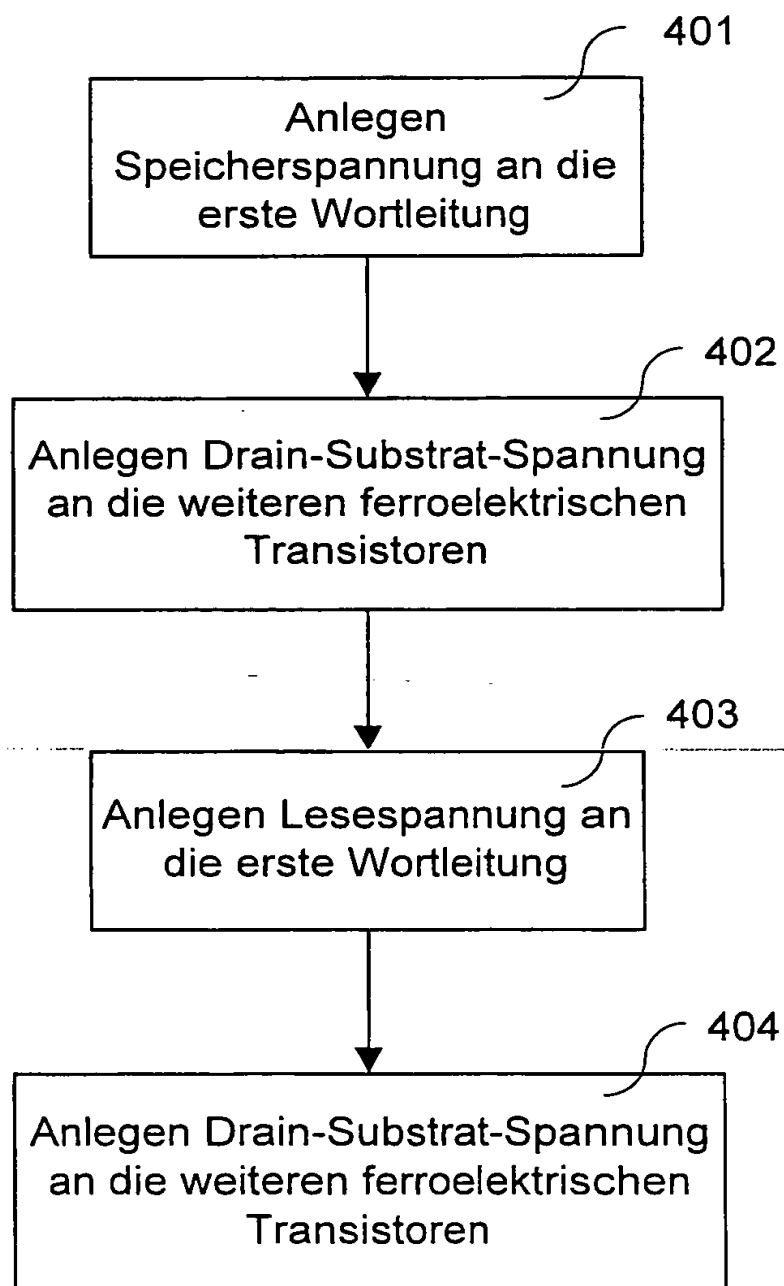
	103	110	111	113	112	114
150	V_{DD}	$V_{DD}/2$	0	$V_{DD}/2$	0	$V_{DD}/2$
151	0	$V_{DD}/2$	V_{DD}	$V_{DD}/2$	V_{DD}	$V_{DD}/2$
152	V_{SS}	0	0	0	V_{SS}	0

215

FIG 2

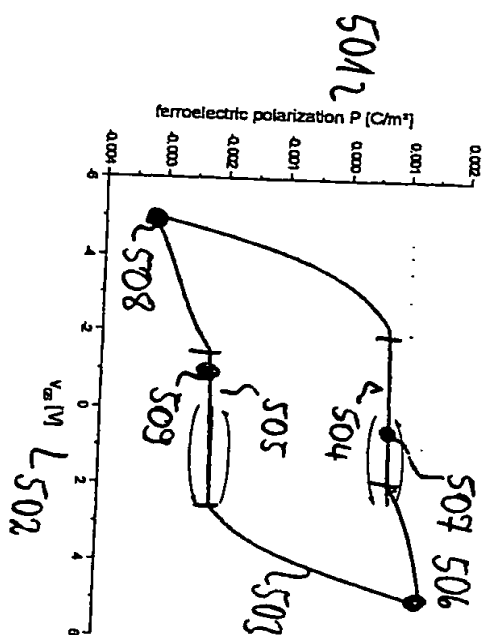


4/5

FIG 4

5/5

FIG 5



5500

FIG 6

